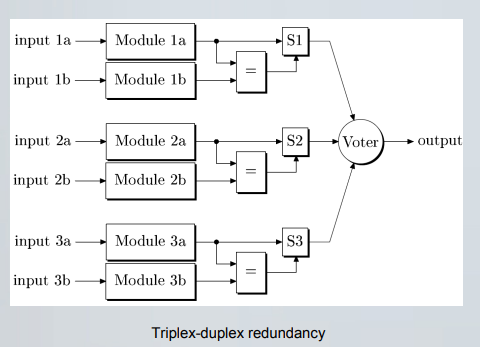
**Implementacija FIR filtra otpornog na greške**

**1 Uvod**

U okviru ovog projektnog zadatka realizovan je parametrizovan FIR filtar otporan na otkaz, primenom Triplex Duplex tehnike redundantnosti na MAC module. Dok je na voter logiku primenjena Pair-and-a-Spare tehnika redundantnosti.

Triplex-duplex redundantnost predstavlja kombinaciju trostruke modularne redundantnosti i duplikacije sa poređenjem. Sistem se sastoji od šest identičnih modula raspoređenih u tri para koji istovremeno obavljaju iste proračune. U svakom paru, izlazi modula se upoređuju pomoću komparatora — ako su rezultati isti, izlaz tog para se uzima u obzir u voter logici. Ukoliko dođe do neslaganja, taj par se označava kao neispravan i isključuje iz sistema. Na taj način, samo parovi bez grešaka učestvuju u konačnom glasanju, čime se obezbeđuje visoka otpornost sistema na otkaz. Na slici 1 možemo videti ideju implementacije tehnike Triplex-duplex.

  
  
Slika 1. Triplex-duplex tehnika.

Pair-and-a-spare sistem se zasniva na ideji da uz svaki aktivni par postoji rezervni (spare) modul, koji se uključuje u rad kada se otkrije greška. Ovaj sistem sa n modula može da toleriše do n − 1 otkaza. Svaka greška se detektuje i lokalizuje pomoću switch-a i komparatora, a neispravan modul se zamenjuje rezervnim. Kada su svi rezervni moduli potrošeni, sistem se svodi na simplex konfiguraciju (jedan aktivni modul), pa sledeći otkaz više ne može biti detektovan ni ispravljen. Pair-and-a-spare tehnika obezbeđuje visoku otpornost na više uzastopnih otkaza, sve dok postoji raspoloživ rezervni modul. Na slici 2 možemo videti ideju implementacije Pair and a spare tehnike.

**A diagram of a program

AI-generated content may be incorrect.**

Slika 2. Pair-and-a-spare tehnika.

**2. Implementacija Sistema**

Na slici 3 je prikazana ideja i blok šema dizajna takođe prikazan je samo jedan red FIR filtra na slici. MAC modul se replicira 3 puta u parovima i svaki od izlaza ide u komparator, ako su rezultati isti izlaz se smatra validnim i prosleđuje se voter-u. Ukoliko dođe do neslaganja, taj par se označava kao neispravan i isključuje iz sistema. Izlaze svih MAC modula smeštamo u niz *mac\_out*, dok se izlazi iz komparatora smeštaju u niz *pair\_out.*

Nakon toga signali svakog para se prosleđuje voter-ima koji imaju po tri ulaza, broj voter-a je parametrizovan. Svaki voter vrši “glasanje” i ukoliko su barem dva od tri ulazna signala ista voter prosledjuje validan ulaz na svoj izlaz. Izlaz voter pair-a se smešta u niz *data\_o\_pair* dok se izlaz spare voter-a smešta u niz *data\_o\_spare*.

*Switch* logika implementirana je pomoću dva parametrizovana multipleksera, prvi multiplekser prima izlaze svih modula osim od drugog modula, dok drugi multiplekser prima izlaze svih modula osim od prvog modula. Inicijalno je postavljeno da je selekcioni signal oba multipleksera na nuli i podaci oba modula se šalju kroz oba multipleksera ka izlaznom komparatoru.

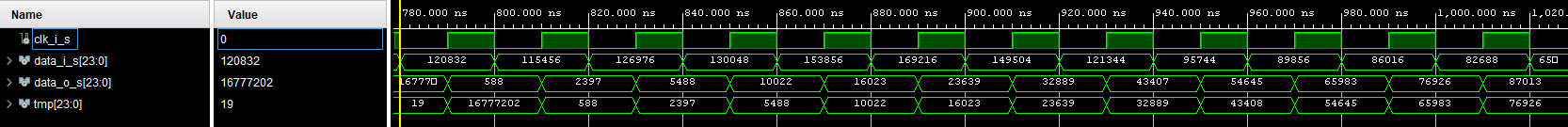
Ukoliko se ispostavi da podaci nisu isti, izlazni komparator postavlja jedinicu na žicu *error\_from\_comparator*, čime signalizira *switch* logici da je jedan od modula neispravan nakon toga se proverava koji od modula je neispravan, taj se isključuje i vrednost unutrašnjeg brojača se uvećava za jedan i selekcioni signal tog multipleksera koji je prosleđivao podatke modula koji je neispravan dobija vrednost tog brojača.

A diagram of a circuit

AI-generated content may be incorrect.Slika 3. blok šema sistema.

**3. Rezulati simulacije i testiranje dizajna**

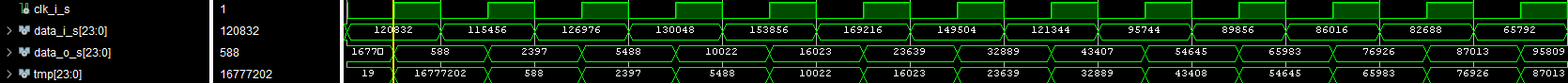
Prilikom testiranja koriscen je jednostavan *testbench* kako bismo dokazali ispravnost sistema. Na slici 4 možemo videti signale za prvobitnu implementaciju FIR filtra 20og reda bez korišćenja redudandnosti.



Slika 4. Implementacija sistema bez redudandnosti.

Ulazni signal koji je iskorišćen za testiranje prvobitno je izgenerisan u matlab programskom jeziku i sačuvan u fajl kojim je testirana funkcionalnost sistema.

Dok na slici 5 vidimo iste te signale nakon implementacije hardverske redudantnosti u našem modelu. U testu je implementiran FIR filtar 20og reda sa 5 repliciranih voter-a



Slika 5. Implementacija sistema sa redudantnost.

Korišćenjem skripti *force\_error\_mac.tcl* dokazujemo ispravnost sistema tako što ćemo indukovati greške na MAC module na nekoliko različita reda filtra i dokazati da sistem ispravno radi. Takvo ponašanje možemo videtina slici 6.

A black and green screen with many green lines

AI-generated content may be incorrect.

Slika 6. Indukovanje grešaka na MAC modulima.

Nakon toga ćemo nastaviti sa izazivanjem grešaka prvo na MAC modulu 108, odnosno na jednom MAC modulu 19og red filtra. Posle toga izazivamo grešku na MAC modulu 109 odnosno paru od prethodnog MAC modula koji je idalje neispravan. Zatim izazivamo grešku na MAC modulu 110 u 1000ns i tada očekujemo da rezultati filtriranja budu netačni. Na slici 7 možemo videti grešku i da rezultati našeg sistema više nisu validni, jer voter ne može da prepozna koji od ulaznih signala je validan te prosleđuje 0 na izlaz.

A screen shot of a computer

AI-generated content may be incorrect.

Slika 7. Uspešno indukovanje greške na MAC modulima.

Nakon što smo testirali MAC module i njihovu otpornost na greške u sistemu, potrebno je bilo da testiramo i *voter-e* i njihovu otpornost na greške u sistemu. Na slici 9 možemo videti indukovanje greške na *data\_o\_pair* signalima od 90og do 94og elementa. Sistem se ponaša u skladu sa očekivanjima, nakon izazivanja greške na jednom od *data\_o\_pair* signala naš brojač se inkrementuje i *sel\_data* signal se shodno tome povećava i naš *data\_out* signal ostaje validan.

A black screen with green lines and dots

AI-generated content may be incorrect.

Slika 8.Indukovanje grešaka na voter logici.

**4. Analiza utrošenosti resursa**

*1.Analiza utrošenosti resursa i frekvencija*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Broj voter-a | LUT | FF | BRAM | DSP | IO | BUFG | Potrošnja  [W] | Frekvencija  [MHz] |
| Bez tehnike | 4 | 24 | / | 18 | 77 | 1 | 0,12 | 103 |
| 3 | 6723 | 171 | / | 63 | 79 | 1 | 0,202 | 65.34 |
| 4 | 8073 | 171 | / | 63 | 79 | 1 | 0.205 | 65.34 |
| 5 | 10981 | 234 | / | 63 | 79 | 1 | 0,26 | 65.34 |
| 6 | 11897 | 234 | / | 63 | 79 | 1 | 0.205 | 65.35 |

U tabeli 1. može se videti utrošenost resursa kao i najveća frekvencija. Takođe možemo uočiti da se frekvencija ne menja mnogo prilikom povećanja broja *voter-a.* Međutim možemo primetiti da utrošenost resursa (LUT i FF) raste drastično, dok broj DSP ostaje isti jer je uvek isti broj MAC modula.

Na slici 9. prikazana je kritična putanja našeg digitalnog sistema otpronog na greške. **A diagram of a computer

AI-generated content may be incorrect.**

Slika 9, Kritična putanja